

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41404

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8234		H 0 1 L 27/08	1 0 2 D
	27/088		H 0 1 P 1/15	
	21/3205		H 0 1 L 21/88	Z
	21/06		27/06	F
	21/8232		29/78	3 0 1 X

審査請求 有 請求項の数17 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願平8-194876

(22) 出願日 平成8年(1996) 7月24日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 水谷 浩

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 松浦 兼行

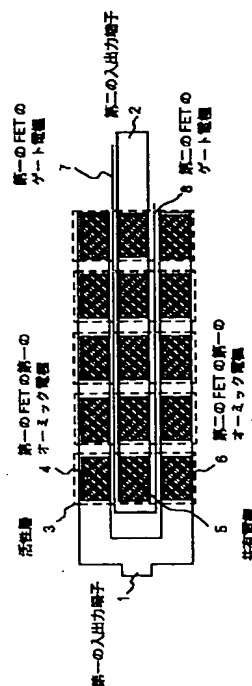
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 従来の半導体装置は、大電力伝送を可能にするために、半導体スイッチ素子であるFETのゲート幅の拡大を図ると、特に高い周波数で、広帯域に、低挿入損失と高アイソレーションを同時に満たす回路構成が存在しない。

【解決手段】 第一のFETのゲート電極7と第二のFETのゲート電極8のそれぞれの一端は、活性層3の外で接続されている。活性層3の内側にあるゲート電極7、8の長さ、オーミック電極4を含む配線の長さ、オーミック電極6を含む配線の長さ、共有電極5を含む配線の長さが、共にそれぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上の長さである。このときオーミック電極は分布定数線路として機能する。第一及び第二のFETはスイッチング制御される。これにより、大電力伝送、低挿入損失、高アイソレーションを同時に満足するスイッチ回路を実現することができる。

本発明の第1の実施の形態の平面図



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及び第4のオーミック電極からなり、該第3のオーミック電極が前記第2のオーミック電極と共有電極により共有されている第2のトランジスタと、該第1及び第2のトランジスタを囲む活性層からなる単位素子を、複数個所望の間隔において半導体基板上直線状に配置し、該複数個の単位素子をそれぞれ構成する前記第1のトランジスタの第1のオーミック電極同士と前記第2のトランジスタの第4のオーミック電極同士はそれぞれ同一の特性インピーダンスを持つ第1及び第2の配線で接続すると共に、該第1及び第2の配線の各一端を接続して接続部を第1の入出力端子とし、

前記複数個の単位素子をそれぞれ構成する前記第1及び第2のトランジスタの前記共有電極同士をそれぞれ同一の特性インピーダンスを持つ第3の配線で接続すると共に、該第3の配線の前記第1の入出力端子と反対側端部を第2の入出力端子とし、

前記複数個の単位素子の前記第1のゲート電極と前記第2のゲート電極はそれぞれ前記活性層の外で共通接続すると共に、前記活性層の内側にある前記第1及び第2のゲート電極及び前記第1乃至第3の配線のそれぞれの、前記第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも $1/16$ 以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項2】 第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及び第4のオーミック電極からなり、該第3のオーミック電極が前記第2のオーミック電極と共有電極により共有されている第2のトランジスタと、該第1及び第2のトランジスタを囲む活性層からなり、

前記第1のトランジスタの第1のオーミック電極と前記第2のトランジスタの第4のオーミック電極を前記活性層の外の領域で配線によって接続すると共に、その配線の接続部を第1の入出力端子とし、

前記共有電極の前記第1の入出力端子と反対側端部を第2の入出力端子とし、

前記第1のゲート電極と前記第2のゲート電極をそれぞれ前記活性層の外で共通接続すると共に、前記活性層の内側にある前記第1及び第2のゲート電極と前記第1及び第4のオーミック電極と前記共有電極のそれぞれの、前記第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも $1/16$ 以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項3】 ゲート電極とそれを挟んで対向する第1

2

及び第2のオーミック電極からなるトランジスタと、該トランジスタを囲む活性層からなる単位素子を、複数個所望の間隔において半導体基板上直線状に配置し、該複数個の単位素子をそれぞれ構成する前記トランジスタの第1のオーミック電極は接地し、前記複数個の単位素子をそれぞれ構成する前記トランジスタの前記第2のオーミック電極同士をそれぞれ同一の特性インピーダンスを持つ配線で接続すると共に、該配線の両端部をそれぞれ第1の入出力端子と第2の入出力端子とし、

10 前記活性層の内側にある前記第2のオーミック電極を含む配線の長さを、使用する信号の伝搬波長の少なくとも $1/16$ 以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項4】 ゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなるトランジスタと、該トランジスタを囲む活性層からなり、該第1のオーミック電極は接地し、前記第2のオーミック電極の両端部をそれぞれ第1の入出力端子と第2の入出力端子とし、前記活性層の内側にある前記ゲート電極と前記第1及び第2のオーミック電極の各長さを、それぞれ使用する信号の伝搬波長の少なくとも $1/16$ 以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項5】 第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及び第4のオーミック電極からなり、該第3のオーミック電極が前記第2のオーミック電極と共有電極により共有され、かつ、該第4のオーミック電極が接地されている第2のトランジスタと、該第1及び第2のトランジスタを囲む活性層からなる単位素子を、複数個所望の間隔において半導体基板上直線状に配置し、

30 該複数個の単位素子をそれぞれ構成する前記第1のトランジスタの第1のオーミック電極同士を同一の特性インピーダンスを持つ第1の配線で接続すると共に、該第1の配線の一端を第1の入出力端子とし、前記複数個の単位素子をそれぞれ構成する前記第1及び第2のトランジスタの前記共有電極同士をそれぞれ同一の特性インピーダンスを持つ第2の配線で接続すると共に、該第2の配線の前記第1の入出力端子と反対側端部を第2の入出力端子とし、

40 前記活性層の内側にある前記第1及び第2の配線のそれぞれの、前記第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも $1/16$ 以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項6】 第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及び第4のオーミック電極からなり、該第3のオーミック電極が前記第2のオーミック電極と共有電極により

50

3

共有され、かつ、該第4のオーミック電極が接地されている第2のトランジスタと、該第1及び第2のトランジスタを囲む活性層からなり、

前記第1のトランジスタの第1のオーミック電極の前記活性層の外側に位置する一端を第1の入出力端子とし、前記共有電極の前記活性層の外側に位置する前記第1の入出力端子と反対側端部を第2の入出力端子とし、前記活性層の内側にある前記第1及び第2のゲート電極と前記共有電極と前記第1及び第4のオーミック電極のそれぞれの、前記第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項7】 第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及び第4のオーミック電極からなり、該第3のオーミック電極が前記第2のオーミック電極と共有電極により共有され、かつ、該第4のオーミック電極が接地されている第2のトランジスタと、該第1及び第2のトランジスタを囲む活性層からなり、前記第1のトランジスタの第1のオーミック電極の前記活性層の外側に位置する一端を第1の入出力端子とし、前記共有電極の前記活性層の外側に位置する前記第1の入出力端子と反対側端部を第2の入出力端子とし、前記第1及び第2のゲート電極のうち該第1のゲート電極の前記活性層の内側にある長さが該第2のゲート電極の長さより短く、該第2のゲート電極と前記共有電極と前記第4のオーミック電極の前記活性層の内側にある該第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項8】 第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及び第4のオーミック電極からなり、該第3のオーミック電極が前記第2のオーミック電極と共有電極により共有され、かつ、該第4のオーミック電極が接地されている第2のトランジスタと、該第1及び第2のトランジスタを囲む活性層からなり、前記第1のトランジスタの第1のオーミック電極の前記活性層の外側に位置する一端を第1の入出力端子とし、前記共有電極を前記第1のオーミック電極の幅と異なる幅とすると共に、該共有電極の前記活性層の外側に位置する前記第1の入出力端子と反対側端部を第2の入出力端子とし、前記第1及び第2のゲート電極と前記共有電極と前記第4のオーミック電極の前記活性層の内側にある該第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくと

4

も1/16以上の長さに設定して構成したことを特徴とする半導体装置。

【請求項9】 前記第1及び第2の入出力端子に入出力される信号は、マイクロ波若しくはミリ波帯の信号であり、前記配線は誘電体基板と金属導体からなる伝送線路であることを特徴とする請求項1乃至8のうちいずれか一項記載の半導体装置。

【請求項10】 前記第1及び第2のトランジスタを構成する第1乃至第4のオーミック電極又は前記トランジスタを構成する第1及び第2のオーミック電極は所望の特性インピーダンスを持つように幅が設定されることを特徴とする請求項1乃至8のうちいずれか一項記載の半導体装置。

【請求項11】 トランジスタと、該トランジスタのソースに一端が接続された第1の伝送線路と、該トランジスタのドレインに一端が接続された第2の伝送線路とを回路単位としたとき、複数の該回路単位から構成され、該複数の回路単位の各第1の伝送線路は互いに直列接続され、各第2の伝送線路は互いに直列接続され、各トランジスタのゲートは共通接続され、直列接続された複数の前記第1の伝送線路のうち前記トランジスタに接続していない線路端を第1の入出力端子とし、直列接続された複数の前記第2の伝送線路のうち前記トランジスタに接続していない線路端を第2の入出力端子とし、直列接続された複数の前記第1の伝送線路の合計の長さ、直列接続された複数の前記第2の伝送線路の合計の長さのそれぞれを、前記第1及び第2の入出力端子に入出力する信号の伝搬波長の1/16より長く設定したことを特徴とする半導体装置。

【請求項12】 ソースが接地されたトランジスタと、該トランジスタのドレインに一端が接続された伝送線路とを回路単位としたとき、複数の該回路単位から構成され、該複数の回路単位の各伝送線路は互いに直列接続されると共に各トランジスタのゲートは共通接続され、直列接続された複数の伝送線路のうち前記トランジスタに接続していない第1の線路端を第1の入出力端子とし、該直列接続された複数の伝送線路の該第1の入出力端子と反対側に位置する前記トランジスタのドレインに接続した第2の線路端又は該第2の線路端に一端が接続された別の伝送線路の他端を第2の入出力端子とし、直列接続された複数の前記の伝送線路の合計の長さを、前記第1及び第2の入出力端子に入出力する信号の伝搬波長の1/16より長く設定したことを特徴とする半導体装置。

【請求項13】 第1のトランジスタと、該第1のトランジスタのソースに一端が接続された第1の伝送線路と、該第1のトランジスタのドレインに一端が接続された第2の伝送線路と、ソースが接地されドレインが前記第1のトランジスタのドレインと前記第2の伝送線路の一端にそれぞれ接続された第2のトランジスタとを回路

5

単位としたとき、複数の該回路単位から構成され、該複数の回路単位の各第1の伝送線路は互いに直列接続され、各第2の伝送線路は互いに直列接続され、各第1のトランジスタのゲートは共通接続され、各第2のトランジスタのゲートは共通接続され、直列接続された複数の前記第1の伝送線路のうち前記第1のトランジスタに接続していない線路端を第1の入出力端子とし、直列接続された複数の前記第2の伝送線路のうち前記第1及び第2のトランジスタに接続していない線路端を第2の入出力端子とし、直列接続された複数の前記第1の伝送線路の合計の長さ、直列接続された複数の前記第2の伝送線路の合計の長さのそれぞれを、前記第1及び第2の入出力端子に入出力する信号の伝搬波長の $1/16$ より長く設定したことを特徴とする半導体装置。

【請求項14】 前記第1の伝送線路と第2の伝送線路の特性インピーダンスは同一であることを特徴とする請求項13記載の半導体装置。

【請求項15】 前記第1の伝送線路と第2の伝送線路の特性インピーダンスは互いに異なることを特徴とする請求項13記載の半導体装置。

【請求項16】 第1のトランジスタと、該第1のトランジスタのソースに一端が接続された第1の伝送線路と、該第1のトランジスタのドレインに一端が接続された第2の伝送線路と、ソースが接地されドレインが前記第1のトランジスタのドレインと前記第2の伝送線路の一端にそれぞれ接続された第2のトランジスタとを第1の回路単位とし、ソースが接地された第3のトランジスタと該第3のトランジスタのドレインに一端が接続された第3の伝送線路とを第2の回路単位としたとき、複数の前記第1の回路単位と一又は二以上の前記第2の回路単位から構成され、前記複数の第1の回路単位の各第1の伝送線路は互いに直列接続され、各第2の伝送線路は互いに直列接続され、各第1のトランジスタのゲートは共通接続され、各第2のトランジスタのゲートは共通接続され、一又は二以上の前記第2の回路単位の前記第3の伝送線路は前記第2の伝送線路に直列に接続されると共に前記第3のトランジスタのゲートは前記第2のトランジスタのゲートに共通接続され、直列接続された複数の前記第1の伝送線路のうち前記第1のトランジスタに接続していない線路端を第1の入出力端子とし、前記第3の伝送線路の前記第3のトランジスタに接続していない線路端を第2の入出力端子とし、直列接続された複数の前記第2の伝送線路と前記第3の伝送線路の合計の長さを、前記第1及び第2の入出力端子に入出力する信号の伝搬波長の $1/16$ より長く設定したことを特徴とする半導体装置。

【請求項17】 前記トランジスタのソースをアノード又はカソードとし、前記トランジスタのドレインをカソード又はアノードとするダイオードを該トランジスタに代えて用いることを特徴とする請求項11乃至16のう

6

ちいずれか一項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、特にマイクロストリップ線路など誘電体基板と金属導体からなる伝送線路と電界効果トランジスタを用いた半導体スイッチ構成の半導体装置に関する。

【0002】

【従来の技術】電界効果トランジスタ(FET)を用いた半導体スイッチ素子は、等価的に抵抗とコンデンサで表すことができる。例えば、伝送線路に挿入したFETは、オンの時抵抗と等価で、オフの時コンデンサと等価になる。従来、このFETを用いた代表的なスイッチ回路には、図19に示すようなFETQ1のソースとドレインを入力端子と出力端子にそれぞれ接続した直列構成スイッチ回路と、図21に示すような2線式の伝送線路にFETQ2のソースとドレインをそれぞれ接続した並列構成スイッチ回路と、図23に示すような上記の直列構成と並列構成とを組み合わせたFETQ3及びQ4からなる直並列構成スイッチ回路と、図25に示すような直列FETQ5とそれに並列接続したコイルL1との共振を利用したスイッチ回路と、図27に示すような並列接続FETQ6のドレイン又はソースに $\lambda/4$ 線路Z1を直列に接続した構成のスイッチ回路がある。

【0003】これらのスイッチ回路で大電力化を図るには、FETのゲート幅を増加するのが最も得策である。これはすなわち、FETの等価回路における抵抗値を低減し、容量値を増加させることを意味する。

【0004】

【発明が解決しようとする課題】しかしながら、上記の各スイッチ回路(従来の半導体装置)においてFETのゲート幅を増加することで大電力化を図ると、FETの抵抗値と容量値で決まる挿入損失あるいはアイソレーションが劣化する場合がある。以下、このことについて説明する。

【0005】図19、図21、図23、図25及び図27に示した各スイッチ回路を構成するFETQ1~Q6のゲート幅 W_g が $100\mu\text{m}$ のときと 1mm のときの各スイッチ回路の透過特性を図20、図22、図24、図26及び図28にそれぞれ示す。例えば図19に示した直列構成スイッチ回路の透過特性は、図20においてFETQ1のゲート幅 W_g が 1mm のとき実線で、ゲート幅 W_g が $100\mu\text{m}$ のとき点線で示され、ゲート幅 W_g を 1mm とすると容量値が増加するから、ゲート幅 $100\mu\text{m}$ の時に比べてアイソレーション(オフ時のスイッチの電力遮断量)が低下する。

【0006】また、図21に示した並列構成スイッチ回路の透過特性は、図22に示すように、FETQ2のゲート幅 W_g が 1mm のとき実線I、IIで示され、ゲート幅が $100\mu\text{m}$ のとき点線III、IVで示され、ゲート幅

7

が1mmのときの方がゲート幅が100 μ mのときに比べてアイソレーションは特性II、IVから分かるように増加するが、挿入損失（オン時のスイッチでの電力損失量）が特性I、IIIから分かるように大きくなる。

【0007】また、図23に示した直並列構成スイッチ回路の透過特性は、図24に示すように、FETQ3及びQ4のゲート幅W_gが1mmのとき実線V及びVIで示され、ゲート幅W_gが100 μ mのとき点線VII及びVIIIで示され、特性VI及びVIIIに示すように周波数に依存してそれぞれアイソレーションは変化するが、同じ周波数ではゲート幅が1mmのときの方がゲート幅が100 μ mのときに比べてアイソレーションは大きく、同様に挿入損失も特性V及びVIIから分かるようにゲート幅1mmの方が大きい。

【0008】なお、上記の直並列構成のスイッチ回路において、FETQ3のゲート幅とFETQ4のゲート幅を異ならせてもよく、例えばQ3のゲート幅を100 μ m、Q4のゲート幅を1mmとしたときの透過特性は、図29に示すように、挿入損失及びアイソレーション共に、周波数の増加に伴って変化する。

【0009】また、図27に示した並列FETQ6と直列 $\lambda/4$ 線路Z1を用いた構成のスイッチ回路においては、FETQ5のゲート幅W_gを1mmで設計すると、その透過特性は図28にIX及びXで示され、特性Xから分かるように所望の周波数（この場合は60GHz）での挿入損失が大きくなってしまふ。

【0010】例えば、60GHz帯での特性規格として、挿入損失-1.5dB、アイソレーション-20dBを設定した場合、ゲート幅W_gを1mmにすると、上記回路構成のうち挿入損失、アイソレーションの規格を共に満たす構成は、直列FETQ5とそれに並列接続したコイルL1との共振を用いた図25の構成のみである。しかし、そのスイッチ回路の構成は共振を用いるため、図26に示す透過特性から分かるように、その挿入損失は非常に狭帯域でしか所望の特性が得られない。

【0011】このように、上記の従来の半導体装置である各種スイッチ回路において、大電力伝送を可能にするために、半導体スイッチ素子であるFETのゲート幅の拡大を図ると、特に高い周波数で、広帯域に、低挿入損失と高アイソレーションを同時に満たす回路構成が存在しないという問題がある。

【0012】本発明は以上の点に鑑みなされたもので、特に高い周波数で、広帯域に、低挿入損失と高アイソレーションを同時に満たす半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は上記の目的を達成するため、請求項1記載の発明は第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれ

8

を挟んで対向する第3及び第4のオーミック電極からなり、第3のオーミック電極が第2のオーミック電極と共有電極により共有されている第2のトランジスタと、第1及び第2のトランジスタを囲む活性層からなる単位素子を、複数個所望の間隔において半導体基板上直線状に配置し複数個の単位素子をそれぞれ構成する第1のトランジスタの第1のオーミック電極同士と第2のトランジスタの第4のオーミック電極同士はそれぞれ同一の特性インピーダンスを持つ第1及び第2の配線で接続すると共に、第1及び第2の配線の各一端を接続して接続部を第1の入出力端子とし、複数個の単位素子をそれぞれ構成する第1及び第2のトランジスタの共有電極同士をそれぞれ同一の特性インピーダンスを持つ第3の配線で接続すると共に、第3の配線の第1の入出力端子と反対側端部を第2の入出力端子とし、複数個の単位素子の第1のゲート電極と第2のゲート電極はそれぞれ活性層の外で共通接続すると共に、活性層の内側にある第1及び第2のゲート電極及び第1乃至第3の配線のそれぞれの、第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成したことを特徴とする。

【0014】本発明では、第1乃至第4のオーミック電極（第1及び第4のオーミック電極と共有電極）を長さに応じて透過特性が変化する分布定数線路として機能させた、直列構成スイッチ回路を構成することができる。

【0015】また、前記目的達成のため請求項2記載の発明は、第1のトランジスタの第1のオーミック電極と第2のトランジスタの第4のオーミック電極を活性層の外領域で配線によって接続すると共に、その配線の接続部を第1の入出力端子とし、共有電極の第1の入出力端子と反対側端部を第2の入出力端子とし、第1のゲート電極と第2のゲート電極をそれぞれ活性層の外で共通接続すると共に、活性層の内側にある第1及び第2のゲート電極と第1及び第4のオーミック電極と共有電極のそれぞれの、第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成する。

【0016】また、前記目的達成のため請求項3記載の発明は、ゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなるトランジスタと、トランジスタを囲む活性層からなる単位素子を、複数個所望の間隔において半導体基板上直線状に配置し、複数個の単位素子をそれぞれ構成するトランジスタの第1のオーミック電極は接地し、複数個の単位素子をそれぞれ構成するトランジスタの第2のオーミック電極同士をそれぞれ同一の特性インピーダンスを持つ配線で接続すると共に、配線の両端部をそれぞれ第1の入出力端子と第2の入出力端子とし、活性層の内側にある第2のオーミック電極を含む配線の長さを、使用する信号の伝搬波長の少なく

とも1/16以上の長さに設定して構成したことを特徴とする。

【0017】また、前記目的達成のため請求項4記載の発明は、ゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなるトランジスタと、トランジスタを囲む活性層からなり、第1のオーミック電極は接地し、第2のオーミック電極の両端部をそれぞれ第1の入出力端子と第2の入出力端子とし、活性層の内側にあるゲート電極と第1及び第2のオーミック電極の各長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成したことを特徴とする。

【0018】請求項3及び4記載の発明は、第1及び第2のオーミック電極を長さに応じて透過特性が変化する分布定数線路として機能させた、並列構成スイッチ回路を構成することができる。

【0019】また、前記目的達成のため請求項5記載の発明は、第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及び第4のオーミック電極からなり、第3のオーミック電極が第2のオーミック電極と共有電極により共有され、かつ、第4のオーミック電極が接地されている第2のトランジスタと、第1及び第2のトランジスタを囲む活性層からなる単位素子を、複数個所望の間隔において半導体基板上直線状に配置し、複数個の単位素子をそれぞれ構成する第1のトランジスタの第1のオーミック電極同士を同一の特性インピーダンスを持つ第1の配線で接続すると共に、第1の配線の一端を第1の入出力端子とし、複数個の単位素子をそれぞれ構成する第1及び第2のトランジスタの共有電極同士をそれぞれ同一の特性インピーダンスを持つ第2の配線で接続すると共に、第2の配線の第1の入出力端子と反対側端部を第2の入出力端子とし、活性層の内側にある第1及び第2の配線のそれぞれの、第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成する。

【0020】また、前記目的達成のため請求項6記載の発明は、第1のトランジスタの第1のオーミック電極の活性層の外側に位置する一端を第1の入出力端子とし、共有電極の活性層の外側に位置する第1の入出力端子と反対側端部を第2の入出力端子とし、活性層の内側にある第1及び第2のゲート電極と共有電極と第1及び第4のオーミック電極のそれぞれの、第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成したことを特徴とする。

【0021】また、前記目的達成のため、請求項7記載の発明は、第1のゲート電極とそれを挟んで対向する第1及び第2のオーミック電極からなる第1のトランジスタと、第2のゲート電極とそれを挟んで対向する第3及

び第4のオーミック電極からなり、第3のオーミック電極が第2のオーミック電極と共有電極により共有され、かつ、第4のオーミック電極が接地されている第2のトランジスタと、第1及び第2のトランジスタを囲む活性層からなり、第1のトランジスタの第1のオーミック電極の活性層の外側に位置する一端を第1の入出力端子とし、共有電極の活性層の外側に位置する第1の入出力端子と反対側端部を第2の入出力端子とし、第1及び第2のゲート電極のうち第1のゲート電極の活性層の内側にある長さが第2のゲート電極の長さより短く、第2のゲート電極と共有電極と第4のオーミック電極の活性層の内側にある第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成したことを特徴とする。

【0022】更に、前記目的達成のため、請求項8記載の発明は、第1のトランジスタの第1のオーミック電極の活性層の外側に位置する一端を第1の入出力端子とし、共有電極を第1のオーミック電極の幅と異なる幅とすると共に、共有電極の活性層の外側に位置する第1の入出力端子と反対側端部を第2の入出力端子とし、第1及び第2のゲート電極と共有電極と第4のオーミック電極の活性層の内側にある第1及び第2のゲート電極の長手方向に平行な方向の長さを、それぞれ使用する信号の伝搬波長の少なくとも1/16以上の長さに設定して構成したことを特徴とする。

【0023】以上の請求項5乃至8記載の発明では、オーミック電極を長さにより透過特性が変化する分布定数線路として機能させた直並列構成のスイッチ回路を構成することができる。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。

【0025】図1は本発明になる半導体装置の第1の実施の形態の平面図を示す。同図に示すように、この半導体装置は、一本のゲート電極とそれを挟んで対向する一組のオーミック電極からなる二組のFETについて、第一のFETと第二のFETはそれらの第二のオーミック電極を共有電極5により共有し、これらは活性層3に囲まれて一つの単位素子を構成している。単位素子を構成する二組のFETは集中定数として記述できる。

【0026】隣り合った単位素子を接続したとき、それぞれのゲート電極が直線になるように、単位素子はある間隔において配置され、隣り合った単位素子の対応するオーミック電極間は同じ特性インピーダンスを持つ配線で接続されている。すなわち、図1において、第一のFETのゲート電極7と第二のFETのゲート電極8のそれぞれの一端は、前記単位素子を複数個接続した活性層3の外で接続されている。また、第一のFETの第一のオーミック電極4を接続する配線の一端と第二のFET

の第一のオーミック電極6を接続する配線の一端は接続され、接続された配線の中心部が第一の入出力端子1とされている。更に、第一のFETの第二のオーミック電極と第二のFETの第二のオーミック電極を構成している共有電極5を接続した配線の第一の入出力端子1とは反対方向端部が第二の入出力端子2とされている。

【0027】この実施の形態では、活性層3の内側にある第一のFETのゲート電極7の長さ及び第二のFETのゲート電極8の長さ、第一のFETの第一のオーミック電極4を含む配線の長さ、第二のFETの第一のオーミック電極6を含む配線の長さ、共有電極5を含む配線の長さが、共にそれぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上の長さであることが、その本質である。つまり、このときオーミック電極は分布定数線路として機能するのである。

【0028】一般に、入出力端子に値 Z_0 のインピーダンスが接続された、特性インピーダンスが Z で長さが L の伝送線路の透過特性 $|S_{21}|^2$ は、使用するマイクロ波あるいはミリ波の伝搬波長を λ とすると次式で表される。

【0029】

【数1】

$$|S_{11}|^2 = \frac{8Z^2Z_0^2}{4Z^2Z_0^2 + (Z^2 + Z_0^2)^2 - (Z^2 - Z_0^2)^2 \cos(4\pi L/\lambda)}$$

上式から $Z = Z_0$ のときは伝送線路の長さによらず、常に $|S_{21}|^2 = 1$ で一定である。一方、 $Z \neq Z_0$ のときは伝送線路の長さ L がマイクロ波あるいはミリ波の伝搬波長の4分の1に等しい($L = \lambda/4$)ときに、上式の余弦三角関数の値が -1 となるため、上式の分母の値が最大となり透過特性が最も低下して損失が大きくなることが分かる。

【0030】また、伝送線路が、使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以下の長さ($L \leq \lambda/16$)のときに、上式の余弦三角関数の値が殆ど1に等しいから、透過特性の低下は殆ど無視でき、この伝送線路は長さ L を無視できる集中定数線路として扱える。一方、使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ より長い長さ($L > \lambda/16$)のときには、上式の余弦三角関数の値が1から大きくずれるから、この伝送線路は長さ L に依存する分布定数線路として機能すると評価できる。

【0031】図2は上記の本発明の第1の実施の形態及び後述する第2の実施の形態の半導体装置の等価回路図を示す。同図に示すように、この半導体装置の等価回路は、マイクロストリップ線路など誘電体基板と金属導体からなる、特性インピーダンス Z 、長さ L の伝送線路とFETからなる回路において、FET(そのうち $k+1$ 番目のFETを Q_{k+1} として代表して示す)と、このFET Q_{k+1} のソースに一端が接続された第一の伝送線路 10_{k+1} と、FET Q_{k+1} のドレインに一端が接続された

第二の伝送線路 11_{k+1} を回路単位とし、全部で $2n$ の回路単位(ただし、そのうち n 個の回路単位は第二の伝送線路が共通)からなる。

【0032】また、各回路単位のFET Q_{k+1} のソースは隣接する別の回路単位のFET(例えば Q_k)のソースに接続された第一の伝送線路 10_k を介して隣接する別の回路単位のFET Q_k のソースに接続されると共に、各回路単位のFET Q_{k+1} のドレインは、隣接する別の回路単位のFET Q_k のドレインに接続された第二の伝送線路 11_k を介してその回路単位のFET Q_k のドレインに接続され、更に各回路単位のFET Q_{k+1} のゲートは、別の回路単位のFET Q_k のゲートと同電位 V_g となるように共通接続されている。

【0033】更に、少なくとも二つ以上の回路単位を接続した回路を構成する第一の伝送線路 10_k 、 10_{k+1} 等のうちFETと接続していない線路端を第一の入出力端子1とし、前記回路を構成する第二の伝送線路 11_k 、 11_{k+1} 等のうちFETと接続していない線路端を第二の入出力端子2とし、前記回路を構成する第一の伝送線路の合計の長さが、使用するマイクロ波あるいはミリ波の伝搬波長の $1/16$ より長く、前記回路を構成する第二の伝送線路の合計の長さが、使用するマイクロ波あるいはミリ波の伝搬波長の $1/16$ より長く設定されている。また、図2に示す半導体装置の等価回路は、上記の回路が二組からなり、第二の伝送線路を共有し、二組の第一の入出力端子1は外部で接続されて、第一の入出力端子を共有している。

【0034】かかる構成の等価回路において、ドレインが共通接続された二組の回路単位のFETがオンのときは第一の入出力端子1から第二の入出力端子2へ電力が透過し、直列構成のスイッチ回路はオンの状態となる。ドレインが共通接続された二組の回路単位のFETがオフのときは第一の入出力端子1から第二の入出力端子2への電力が遮断され、直列構成のスイッチ回路はオフの状態となる。図1及び図2を対照して分かるように、これらのとき第一のFETの第一のオーミック電極4を含む配線と第二のFETの第一のオーミック電極6を含む配線と共有電極5を含む配線とは、分布定数線路としての機能を併せ持つ。

【0035】図3は本発明になる半導体装置の第2の実施の形態の平面図を示す。同図中、図1と同一構成部分には同一符号を付してある。図3に示す第2の実施の形態は、第一のFETの第一のオーミック電極13と、第二のFETの第一のオーミック電極14が活性層3の外の領域で配線によって接続され、その配線の中心を第一の入出力端子1とし、第一のFETの第二のオーミック電極と第二のFETの第二のオーミック電極である共有電極5の、第一の入出力端子1と反対側の端を第二の入出力端子2とした構成である。

【0036】また、第一のFETの第一のオーミック電

極12と共有電極5の間に第一のFETのゲート電極7が形成され、共有電極5と第二のFETの第一のオーミック電極6の間に1本の第二のFETのゲート電極8が形成されており、両者は活性層3の外の領域で接続されている。

【0037】この実施の形態は、第一のFETのゲート電極7及び第二のFETのゲート電極8が活性層3の内側にある長さ、及びゲート電極7、8に並行な方向の第一のFETのオーミック電極12の長さ及び上記方向の共有電極5の長さ、そして上記方向の第二のFETの第一のオーミック電極13の長さが、共にそれぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも1/16以上の長さであることを特徴とする。これにより、この実施の形態の等価回路は図2に示したものと同一となり、第1の実施の形態と同様の動作をする。

【0038】図4は本発明になる半導体装置の第3の実施の形態の平面図を示す。この実施の形態では、一本のゲート電極14とそれを挟んで対向する一組のオーミック電極15及び16からなるFETを有し、第一のオーミック電極16をバイアホール17によって接地し、これらを活性層18で囲んで一つの単位素子を構成している。単位素子を構成するFETは集中定数として記述できる。

【0039】隣り合った単位素子を接続するとき、ゲート電極が直線となるように、単位素子はある間隔で図4に示すように直線状に配置されている。また、隣り合った単位素子の第二のオーミック電極16間は、同じ特性インピーダンスを持つ配線で接続されている。FETの第二のオーミック電極16を含んで接続した配線の一端を第一の入出力端子1とし、前記配線の第一の入出力端子1と反対方向の一端を第二の入出力端子2としている。この実施の形態においては、FETの第二のオーミック電極16を含む配線の長さが、使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも1/16以上の長さであることが、その本質である。

【0040】図5は本発明になる半導体装置の第3の実施の形態と後述する第4の実施の形態の等価回路図を示す。同図に示すように、特性インピーダンスZ、長さLの伝送線路が19₁～19_{n+1}で示すように、第一の入出力端子1と第二の入出力端子2の間にn+1個(nは2以上の整数)直列に接続され、かつ、隣り合う伝送線路間の共通接続点にはソースが接地されているFETQ₁～Q_nのドレインが接続されている。これらFETQ₁～Q_nのゲートは共通接続されており、同じゲート電位V_gとなるようにされている。すなわち、この等価回路は、ソースが接地されたFETとそのFETのドレインに一端が接続された伝送線路を単位回路とし、その単位回路がn回路と一つの伝送線路とからなる。

【0041】この等価回路において、FETQ₁～Q_nがゲート電位V_gによりオンとされたときは第一の入出力

端子1から第二の入出力端子2への電力は遮断され、並列構成のスイッチ回路はオフの状態となる。一方、FETQ₁～Q_nがゲート電位V_gによりオフとされたときは第一の入出力端子1から第二の入出力端子2へ電力が透過し、並列構成のスイッチ回路はオンの状態となる。図4及び図5を対照して分かるように、これらのとき第二のオーミック電極16を含む配線は分布定数線路としての機能を併せ持つ。なお、図5において、伝送線路19_{n+1}は設けないようにしてもよい。

【0042】次に、本発明の第4の実施の形態について説明する。図6は本発明になる半導体装置の第4の実施の形態の平面図を示す。この実施の形態では、一本のゲート電極20とそれを挟んで対向する一組のオーミック電極21及び22からなるFETを有し、第一のオーミック電極21をバイアホール23によって接地し、これらを活性層24で囲んだ構成としている。

【0043】第二のオーミック電極22において、ゲート電極20に平行な方向の一端が第一の入出力端子1とされ、第一の入出力端子1と反対側の他端が第二の入出力端子2とされており、マイクロ波あるいはミリ波の信号が入出力される。この実施の形態では、活性層24の内側にあるゲート電極20の長さ及び第一のオーミック電極21、第二のオーミック電極22の長さが、それぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも1/16以上の長さ設定されている。この実施の形態の等価回路図は、FETが複数直線状に配置された構成ではないが、実質的には図5に示した等価回路図と同じである。

【0044】次に、本発明の第5の実施の形態について説明する。図7は本発明になる半導体装置の第5の実施の形態の平面図を示す。同図に示すように、この実施の形態では、一本のゲート電極とそのゲート電極を挟んで対向する一組のオーミック電極からなるFETが二組設けられ、各組のFET(第一のFETと第二のFET)の第二のオーミック電極は共有電極27により共有され、第二のFETの第一のオーミック電極28はバイアホール31により接地され、これらは活性層32に囲まれて一つの単位素子を構成している。単位素子を構成する二組のFET(第一のFETと第二のFET)は、集中定数として記述できる。

【0045】隣り合った単位素子を接続したとき、第一のFETのゲート電極29及び第二のFETのゲート電極30がそれぞれ直線になるように、単位素子はそれぞれある間隔をおいて直線状に配列されている。また、隣り合った単位素子の対応するオーミック電極間は同じ特性インピーダンスを持つ配線で接続されている。すなわち、複数の第一のFETの第一のオーミック電極26は一つの配線で接続され、その配線の一端が第一の入出力端子1とされており、また、複数の第一及び第二のFETの第二のオーミック電極である共有電極27も別の

つの配線で接続され、その配線の第一の入出力端子1と反対方向の一端が第二の入出力端子2とされている。

【0046】この実施の形態では、第一のFETの第一のオーミック電極26を含む配線の長さ及び共有電極27の長さがそれぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上の長さに設定されている。

【0047】図8は上記の第5の実施の形態と後述する第6の実施の形態の等価回路図を示す。同図に示すように、それぞれ特性インピーダンス Z 、長さ L の n 個の伝送線路33₁~33_nが入出力端子1に直列接続され、それぞれ特性インピーダンス Z 、長さ L の n 個の伝送線路34₁~34_nが入出力端子2に直列に接続されている。また、伝送線路33₁~33_nのうち隣接する伝送線路間の共通接続点には、 n 個のFETQ₁₁~Q_{1n}のうち対応するFETのドレイン（又はソース）が接続されている。同様に、伝送線路34₁~34_nのうち隣接する伝送線路間の共通接続点には、 n 個のFETQ₁₁~Q_{1n}のうち対応するFETのソース（又はドレイン）が接続され、かつ、それぞれソースが接地された n 個のFETQ₂₁~Q_{2n}のうち対応するFETのドレインが接続されている。

【0048】また、 n 個のFETQ₁₁~Q_{1n}の各ゲートは共通の第一のゲート電極29により共通接続されており、同一のゲート電位 V_{g1} となるようにされている。同様に、 n 個のFETQ₂₁~Q_{2n}の各ゲートは共通の第二のゲート電極30により共通接続されており、同一のゲート電位 V_{g2} となるようにされている。また、伝送線路33₁~33_nの合計の長さ、伝送線路34₁~34_nの合計の長さは第1及び第2の入出力端子1及び2に入出力する信号の伝搬波長の $1/16$ より長く設定されている。

【0049】すなわち、この等価回路は、第1のトランジスタQ_{1k}（ただし、 k は $1 \sim n$ の任意の値）と、第1のトランジスタQ_{1k}のソースに一端が接続された第1の伝送線路33_kと、第1のトランジスタQ_{1k}のドレインに一端が接続された第2の伝送線路34_kと、ソースが接地されドレインが第1のトランジスタQ_{1k}のドレインと第2の伝送線路34_kの一端にそれぞれ接続された第2のトランジスタQ_{2k}とを回路単位が複数設けられた構成である。

【0050】この等価回路において、第一のFETQ₁₁~Q_{1n}がゲート電位 V_{g1} によりオンとされ、かつ、第二のFETQ₂₁~Q_{2n}がゲート電位 V_{g2} によりオフとされたときは、第一の入出力端子1から伝送線路33₁~33_nと34₁~34_nを介して第二の入出力端子2へ電力が透過し、スイッチ回路はオンの状態となる。一方、第一のFETQ₁₁~Q_{1n}がゲート電位 V_{g1} によりオフとされ、かつ、第二のFETQ₂₁~Q_{2n}がゲート電位 V_{g2} によりオンとされたときは、第一の入出力端子

1から第二の入出力端子2への電力は遮断され、スイッチ回路はオフの状態となる。図7及び図8を対照して分かるように、これらのとき第一のFETQ₁₁~Q_{1n}の第一のオーミック電極26と共有電極27は、分布定数線路としての機能を併せ持つ。

【0051】次に、本発明の第6の実施の形態について説明する。図9は本発明になる半導体装置の第6の実施の形態の平面図を示す。この実施の形態では、一本のゲート電極とそれを挟んで対向する一組のオーミック電極からなるFETが二組からなり、第一のFETの第一のオーミック電極35の長手方向の一端がマイクロ波あるいはミリ波の信号が入出力される第一の入出力端子1とされ、第二のFETの第一のオーミック電極36はパイアホール25を介して接地され、第一のFETの第二のオーミック電極と第二のFETの第二のオーミック電極はそれぞれ共有電極37を形成しており、共有電極37の長手方向で入出力端子1と反対側の一端がマイクロ波あるいはミリ波の信号が入出力される第二の入出力端子2として構成されている。また、第一のFETの第一のオーミック電極35と共有電極37の間に1本のゲート電極38が形成され、また共有電極37と第二のFETの第一のオーミック電極36の間に1本のゲート電極39が形成されている。

【0052】この実施の形態では、第一のFETのゲート電極38及び第二のFETのゲート電極39が活性層40の内側にある長さ、及び第一のFETのオーミック電極35の長さ、共有電極37の長さ、そして第二のFETの第一のオーミック電極36と共に、それぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上の長さに設定されている。この実施の形態の等価回路図は、FETが複数直線状に配置された構成ではないが、実質的には図8に示した等価回路図と同じである。

【0053】次に、本発明の第7の実施の形態について説明する。図10は本発明になる半導体装置の第7の実施の形態の平面図を示す。同図に示すように、この実施の形態では、一本のゲート電極とそのゲート電極を挟んで対向する一組のオーミック電極からなるFETが二組設けられ、各組のFET（第一のFETと第二のFET）の第二のオーミック電極は共有電極42により共有され、第二のFETの第一のオーミック電極43はパイアホール44を介して接地され、これらは活性層47に囲まれているが、第一のFETのゲート電極45の長さと第二のFETのゲート電極46の長さが異なる点に特徴がある。

【0054】すなわち、第一のFETの第一のオーミック電極41において、その長手方向の一端がマイクロ波あるいはミリ波の信号が入出力される第一の入出力端子1とされ、第二のFETの第一のオーミック電極43はパイアホール44を介して接地されている。また、第一

の FET と第二の FET のそれぞれの第二のオーミック電極は共有電極 42 を形成して共有されており、共有電極 42 の長手方向で入力と反対側の一端がマイクロ波あるいはミリ波の信号が入出力される第二の入出力端子 2 として構成されている。第一の FET の第一のオーミック電極 41 と共有電極 42 の間に 1 本のゲート電極 45 及び第二の FET の第一のオーミック電極 43 の間に 1 本のゲート電極 46 が形成されている。

【0055】この実施の形態では、第一の FET のゲート電極 45 及び第二の FET のゲート電極 46 が活性層 47 の内側にある長さが異なり、第二の FET のゲート電極 46 が活性層 47 の内側にある長さとは共有電極 42 と第二の FET の第一のオーミック電極 43 の長さが、それぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上の長さに設定されている。ただし、第一の FET のゲート電極 45 が活性層 47 の内側にある長さとは第一の FET の第一のオーミック電極 41 の長さについては、それぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上であってもよく、また第一の FET と第二の FET のゲート幅及びそれに付随する電極の長さ関係が逆転しても構わない。

【0056】図 11 は上記の第 7 の実施の形態の等価回路図を示す。同図に示すように、第一の入出力端子 1 には特性インピーダンス Z 、長さ L の複数 m 個の伝送線路 $48_1 \sim 48_m$ が直列接続されており、第二の入出力端子 2 には特性インピーダンス Z 、長さ L の複数 n 個（ただし、 $n > m$ ）の伝送線路 $49_1 \sim 49_n$ が直列接続されている。また、伝送線路 $48_1 \sim 48_m$ のうち隣接する伝送線路間の共通接続点には、 m 個の FET $Q_{11} \sim Q_{1m}$ のうち対応する FET のドレイン（又はソース）が接続されている。同様に、伝送線路 $49_1 \sim 49_n$ のうち隣接する伝送線路間の共通接続点には、 m 個の FET $Q_{11} \sim Q_{1m}$ のうち対応する FET のソース（又はドレイン）が接続されている。更に、伝送線路 $49_1 \sim 49_n$ のうち隣接する伝送線路間の共通接続点には、それぞれソースが接地された n 個の FET $Q_{21} \sim Q_{2n}$ のうち対応する FET のドレインが接続されている。

【0057】また、 m 個の FET $Q_{11} \sim Q_{1m}$ の各ゲートは共通の第一のゲート電極 45 により共通接続されており、同一のゲート電位 V_{g1} となるようにされている。同様に、 n 個の FET $Q_{21} \sim Q_{2n}$ の各ゲートは共通の第二のゲート電極 46 により共通接続されており、同一のゲート電位 V_{g2} となるようにされている。伝送線路 $49_1 \sim 49_n$ の合計の長さは、使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上の長さに設定されている。

【0058】これにより、第一の FET $Q_{11} \sim Q_{1m}$ がゲート電位 V_{g1} によりオンとされ、かつ、第二の FET $Q_{21} \sim Q_{2n}$ がゲート電位 V_{g2} によりオフとされたとき

は、第一の入出力端子 1 から第二の入出力端子 2 へ電力が透過し、スイッチ回路はオンの状態となる。一方、第一の FET $Q_{11} \sim Q_{1m}$ がゲート電位 V_{g1} によりオフとされ、かつ、第二の FET $Q_{21} \sim Q_{2n}$ がゲート電位 V_{g2} によりオンとされたときは、第一の入出力端子 1 から第二の入出力端子 2 への電力は遮断され、スイッチ回路はオフの状態となる。図 10 と図 11 を対照して分かるように、これらのとき共有電極 42 は分布定数線路としての機能を併せ持つ。

【0059】次に、本発明の第 8 の実施の形態について説明する。図 12 は本発明になる半導体装置の第 8 の実施の形態の平面図を示す。同図に示すように、この実施の形態では、一本のゲート電極とそのゲート電極を挟んで対向する一組のオーミック電極からなる FET が二組設けられ、各組の FET（第一の FET と第二の FET）の第二のオーミック電極は共有電極 52 により共有され、第二の FET の第一のオーミック電極 53 はパイアホール 54 により接地され、これらは活性層 57 に囲まれているが、第一の FET の第一のオーミック電極 51 の幅と共有電極 52 の幅とが異なる点に特徴がある。

【0060】すなわち、第一の FET の第一のオーミック電極 51 において、その長手方向の一端がマイクロ波あるいはミリ波の信号が入出力される第一の入出力端子 1 とされ、第二の FET の第一のオーミック電極 53 はパイアホール 54 を介して接地されている。また、第一の FET と第二の FET のそれぞれの第二のオーミック電極は共有電極 52 を形成して共有されており、共有電極 52 の長手方向で入力と反対側の一端がマイクロ波あるいはミリ波の信号が入出力される第二の入出力端子 2 とされている。

【0061】また、第一の FET の第一のオーミック電極 51 と共有電極 52 の間に 1 本のゲート電極 55 が形成され、また、共有電極 52 と第二の FET の第一のオーミック電極 53 の間に 1 本のゲート電極 56 が形成されている。この実施の形態では、第一の FET のゲート電極 55 及び第二のゲート電極 56 が活性層 57 の内側にある長さ及び第一の FET の第一のオーミック電極 51 及び共有電極 52 及び第二の FET の第一のオーミック電極 53 の長さがそれぞれ使用するマイクロ波あるいはミリ波の伝搬波長の少なくとも $1/16$ 以上の長さであること、更に第一の FET のオーミック電極 51 の幅と共有電極 52 の幅が異なる点に特徴がある。

【0062】図 13 は上記の第 8 の実施の形態の等価回路図を示す。同図に示すように、それぞれ特性インピーダンス Z_1 、長さ L の n 個の伝送線路 $58_1 \sim 58_n$ が入出力端子 1 に直列接続され、それぞれ特性インピーダンス Z_2 ($\neq Z_1$)、長さ L の n 個の伝送線路 $59_1 \sim 59_n$ が入出力端子 2 に直列に接続されている。また、伝送線路 $58_1 \sim 58_n$ のうち隣接する伝送線路間の共通接続点には、 n 個の FET $Q_{11} \sim Q_{1n}$ のうち対応する FET の

ドレイン（又はソース）が接続されている。同様に、伝送線路59₁～59_nのうち隣接する伝送線路間の共通接続点には、n個のFETQ₁₁～Q_{1n}のうち対応するFETのソース（又はドレイン）が接続され、かつ、それぞれソースが接地されたn個のFETQ₂₁～Q_{2n}のうち対応するFETのドレインが接続されている。

【0063】また、n個のFETQ₁₁～Q_{1n}の各ゲートは共通の第一のゲート電極55により共通接続されており、同一のゲート電位V_{g1}となるようにされている。同様に、n個のFETQ₂₁～Q_{2n}の各ゲートは共通の第二のゲート電極56により共通接続されており、同一のゲート電位V_{g2}となるようにされている。

【0064】この等価回路において、直列スイッチ構成の第一のFETQ₁₁～Q_{1n}がゲート電位V_{g1}によりオンとされ、かつ、並列スイッチ構成の第二のFETQ₂₁～Q_{2n}がゲート電位V_{g2}によりオフとされたときは、第一の入出力端子1から伝送線路58₁～58_nと59₁～59_nを介して第二の入出力端子2へ電力が透過し、直並列構成スイッチ回路はオンの状態となる。一方、第一のFETQ₁₁～Q_{1n}がゲート電位V_{g1}によりオフとされ、かつ、第二のFETQ₂₁～Q_{2n}がゲート電位V_{g2}によりオンとされたときは、第一の入出力端子1から第二の入出力端子2への電力は遮断され、直並列スイッチ回路はオフの状態となる。図12及び図13を対照して分かるように、これらのとき第一のFETQ₁₁～Q_{1n}の第一のオーミック電極51と、共有電極52は、分布定数線路としての機能を併せ持つ。

【0065】

【実施例】次に、上記の各実施の形態の実施例について説明する。図1に示した第1の実施の形態の実施例（第1の実施例）では、GaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層3の内側にあるゲート電極の長さ100μmのFETを10個用いた。オーミック電極4及び6の幅は38.2μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、ゲート電極とゲートバイアス線路間に、エピタキシャル層などの薄膜からなる抵抗、ここではエピタキシャル層を用いた2kΩの抵抗素子を挿入した。各単位素子の間隔は1μmとした。

【0066】図14は図1の半導体装置のオン状態とオフ状態のときの第1の実施例の透過特性を示す。同図中、縦軸は第一の入出力端子1と第二の入出力端子2との間の透過電力|S₂₁|²、横軸は入力信号の周波数を示す。図20に示した従来装置では、オフ時の電力遮断量（アイソレーション）は、周波数が高くなるに従い大きく減少していたのに対し、この実施例のオフ時の電力遮断量（アイソレーション）は図14にXIで示すように、所望の周波数で鋭く、かつ、大なるアイソレーシ

ンが得られた。また、この実施例のオン時の電力損失量（挿入損失）は図14にXIIで示すように、広い周波数にわたって少ない特性が得られた。従って、この実施例によれば、従来実現できなかった、大電力伝送、低挿入損失、高アイソレーションを同時に満足することができた。

【0067】因みに、94GHzにおける特性は、従来は挿入損失-0.014dB、アイソレーション0.069dBであったものが、この実施例では挿入損失-1.83dB、アイソレーション-58.5dBと飛躍的に特性が向上した。

【0068】次に、図3に示した第2の実施の形態の実施例（第2の実施例）では、GaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層3の内側にあるゲート電極の長さ500μmのFETを2個用いた。オーミック電極12及び13の幅は38.2μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、エピタキシャル層を用いた2kΩの抵抗素子を挿入した。この第2の実施例のオン状態とオフ状態のときの透過特性は図14に示した透過特性と同じであり、94GHzで挿入損失-1.83dB、アイソレーション-58.5dBと飛躍的に特性が向上した。

【0069】次に、図4に示した第3の実施の形態の実施例（第3実施例）について説明するに、この実施例では、GaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層18の内側にあるゲート電極14の長さ100μmのFETを10個用いた。オーミック電極16の幅は20μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、エピタキシャル層を用いた2kΩの抵抗素子を挿入した。各単位素子の間隔は1μmとした。

【0070】図15はオン状態とオフ状態のときの第4の実施例の透過特性を示す。同図中、縦軸は第一の入出力端子1と第二の入出力端子2との間の透過電力|S₂₁|²、横軸は入力信号の周波数を示す。この実施例のオン時の電力損失量（挿入損失）は図15にXIIIで示すように、周波数の変化に従って0dB付近で振動する。これは前記数1に示した式に余弦三角関数が含まれていることと同じ原因による。図22に示した従来装置の透過特性と比較すると、従来の挿入損失は周波数が高くなるのに従って大きく増加していたが、この実施例では図15にXIIIで示すように、振動しているが、殆ど増加していない。

【0071】また、従来のオフ時の電力遮断量（アイソレーション）は、図22にII及びIVで示したように、周波数に関係なく一定であったが、この実施例のアイソレ

10

20

30

40

50

ーション特性は図15にXIVで示すように、周波数が高くなるに従って大なるアイソレーションが得られた。従って、この実施例によれば、従来実現できなかった、大電力伝送、低挿入損失、高アイソレーションを同時に満足することができた。因みに、60GHzにおける特性は、従来が挿入損失-9.54dB、アイソレーション-30.17dBであったのに対し、この実施例では、挿入損失は-0.098dB、アイソレーションは-103.1dBと飛躍的に向上した。

【0072】次に、図6に示した第4の実施の形態の実施例（第4の実施例）について説明するに、第4の実施例ではGaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層24の内側にあるゲート電極の長さ1mmのFETを用いた。オーミック電極22の幅は20μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、エピタキシャル層を用いた2kΩの抵抗素子を挿入した。この第4の実施例のオン状態とオフ状態のときの透過特性は図15に示した透過特性と同じであり、60GHzで挿入損失-0.098dB、アイソレーション-103.1dBと飛躍的に特性が向上した。

【0073】次に、図7に示した第5の実施の形態の実施例（第5の実施例）について説明するに、この実施例では、GaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層32の内側にあるゲート電極の長さ100μmのFETを直・並列共に用い、計20個のFETを用いた。オーミック電極の幅は第一のFETの第一のオーミック電極26及び共有電極27共に20μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、第一、第二のFET共にエピタキシャル層を用いた2kΩの抵抗素子を挿入した。各単位素子の間隔は1μmとした。

【0074】図16はオン状態とオフ状態のときの第5の実施例の透過特性を示す。同図中、縦軸は第一の入出力端子1と第二の入出力端子2との間の透過電力 $|S_{21}|^2$ 、横軸は入力信号の周波数を示す。この実施例のオン時の電力損失量（挿入損失）は図16にXVで示すように、周波数の変化に従って0dB付近で大きく振動する。これは前記数1に示した式に余弦三角関数が含まれていることと同じ原因による。アイソレーションの特性XVIも同様である。

【0075】図24に示した従来装置の透過特性と比較すると、従来装置の挿入損失は周波数が高くなるに従って大きく増加していたが、この実施例では図16にXVで示すように、振動しているが、単調な増加ではない。また、アイソレーションは従来は10GHz以上ではほぼ

一定であったが、本実施例では図16にXVIで示すように周波数が高くなるに従って振動しながら減少している。従って、この実施例によれば、従来実現できなかった、大電力伝送、広帯域、低挿入損失、高アイソレーションを同時に満足することができた。

【0076】因みに、42GHzにおける特性は、従来が挿入損失-7.1dB、アイソレーション-30.4dBであったのに対し、この実施例では、挿入損失は-0.48dB、アイソレーションは-22.1dBと挿入損失が飛躍的に向上した。なお、ゲート幅（活性層内のゲート電極の長さ）及びオーミック電極の長さを適当に変えることにより、所望の周波数特性を得ることができる。

【0077】次に、図9に示した第6の実施の形態の実施例（第6の実施例）について説明するに、第6の実施例ではGaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層40の内側にあるゲート電極の長さ1mmのFETを直・並列共に用いた。電極の幅は第一のFETの第一のオーミック電極35と共有電極37共に20μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、エピタキシャル層を用いた2kΩの抵抗素子を挿入した。この第6の実施例のオン状態とオフ状態のときの透過特性は図16に示した透過特性と同じであり、42GHzで挿入損失-0.48dB、アイソレーション-22.1dBと挿入損失が飛躍的に向上した。

【0078】次に、図10に示した第7の実施の形態の実施例（第7の実施例）について説明するに、この実施例では、GaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層47の内側にあるゲート電極の長さ100μmのFETを直列に、活性層の内側にあるゲート電極の長さ1mmのFETを並列に用いた。オーミック電極の幅は第一のFETの第一のオーミック電極41及び共有電極42共に20μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、第一、第二のFET共にエピタキシャル層を用いた2kΩの抵抗素子を挿入した。

【0079】図17はオン状態とオフ状態のときの第7の実施例の透過特性を示す。同図中、縦軸は第一の入出力端子1と第二の入出力端子2との間の透過電力 $|S_{21}|^2$ 、横軸は入力信号の周波数を示す。この実施例のオン時の電力損失量（挿入損失）は図17にXVIIで示すように、周波数の変化に従って0dB付近で振動する。これは前記数1に示した式に余弦三角関数が含まれていることと同じ原因による。

【0080】図29に示した従来装置の透過特性と比較

すると、従来装置の挿入損失は周波数が高くなるに従って大きく増加していたが、この実施例では図17にXVIIで示すように、振動しているが、単調な増加はない。また、アイソレーションは従来装置では周波数が高くなるに従って減少していたが、本実施例では図17にXVIIIで示すように、5GHz以上では周波数が高くなるに従って単調に増加している。従って、この実施例によれば、従来実現できなかった、大電力伝送、広帯域、低挿入損失、高アイソレーションを同時に満足することができた。

【0081】因みに、100GHzにおける特性は、従来が挿入損失-14.8dB、アイソレーション-33.4dBであったのに対し、この実施例では、挿入損失は-0.9dB、アイソレーションは-132.1dBと挿入損失及びアイソレーション共に飛躍的に向上した。

【0082】次に、図12に示した第8の実施の形態の実施例（第8の実施例）について説明する。この実施例では、GaAlAs系ヘテロ接合FETを半導体基板として用い、ゲート長0.15μm、活性層57の内側に

あるゲート電極の長さ1mmのFETを直・並列共に用いた。オーミック電極の幅は第一のFETの第一のオーミック電極51を100μm、共有電極52の幅を10μm、第一の入出力端子1及び第二の入出力端子2には50Ωのインピーダンスを接続した。また、ゲートバイアス回路をハイ・インピーダンスとするため、第一、第二のFET共にエピタキシャル層を用いた2kΩの抵抗素子を挿入した。

【0083】図18はオン状態とオフ状態のときの第8の実施例の透過特性を示す。同図中、縦軸は第一の入出力端子1と第二の入出力端子2との間の透過電力 $|S_{21}|^2$ 、横軸は入力信号の周波数を示す。この実施例のオン時の電力損失量（挿入損失）は図18にXIXで示すように、周波数の変化に従って0dB付近で振動する。これは前記数1に示した式に余弦三角関数が含まれていることと同じ原因による。

【0084】図24に示した従来装置の透過特性と比較すると、従来装置の挿入損失は周波数が高くなるに従って大きく増加していたが、この実施例では図18にXIXで示すように、振動しているが、単調な増加はない。また、アイソレーションは従来装置では周波数が高くなるに従って減少していたが、本実施例では図18にXXで示すように、周波数が高くなるに従って振動しながら増加している。従って、この実施例によれば、従来実現できなかった、大電力伝送、広帯域、低挿入損失、高アイソレーションを同時に満足することができた。

【0085】因みに、85GHzにおける特性は、従来が挿入損失-12.4dB、アイソレーション-30.2dBであったのに対し、この実施例では、挿入損失は-1.4dB、アイソレーションは-21.4dBであ

り、挿入損失が飛躍的に向上した。

【0086】なお、本発明は以上の実施の形態に限定されるものではなく、例えば伝送線路としてのオーミック電極が必要な特性インピーダンスを持つように、オーミック電極の幅及び半導体基板厚さを適当に変えるようにしてもよい。また、FETをダイオードに置き換えることもできる。すなわち、FETのソースとドレインをダイオードのアノード（又はカソード）とカソード（又はアノード）に置き換えればよく、例えば図1の平面図では、第一のFETの第一のオーミック電極4及び第二のFETの第一のオーミック電極6をそれぞれダイオードのアノード（又はカソード）とし、共有電極5をカソード（又はアノード）とすればよく、この場合ゲート電極7及び8は不要となる。

【0087】また、本発明は図2、図5、図8、図11及び図13の等価回路図と同じ回路にも適用できるものである（つまり、例えば図1の平面図の半導体装置で図2の等価回路を実現するだけでなく、図1とは関係なく図2の等価回路と同じ構成の回路そのものにも適用できる。）。

【0088】

【発明の効果】以上説明したように、本発明によれば、活性層の内側にあるゲート電極の幅及びそれを挟む第一のオーミック電極と第二のオーミック電極の長さ、共にそれぞれ使用するマイクロ波あるいはミリ波の波長の少なくとも1/16以上の長さである構成とすることにより、オーミック電極を分布定数線路としても機能させるようにしたため、従来の半導体装置では実現できなかった、ミリ波等特に高い周波数での大電力伝送、広帯域、低挿入損失、高アイソレーションを同時に満足することができる。

【図面の簡単な説明】

【図1】本発明装置の第1の実施の形態の平面図である。

【図2】本発明の第1、第2の実施の形態の等価回路図である。

【図3】本発明装置の第2の実施の形態の平面図である。

【図4】本発明装置の第3の実施の形態の平面図である。

【図5】本発明の第3、第4の実施の形態の等価回路図である。

【図6】本発明装置の第4の実施の形態の平面図である。

【図7】本発明装置の第5の実施の形態の平面図である。

【図8】本発明の第5、第6の実施の形態の等価回路図である。

【図9】本発明装置の第6の実施の形態の平面図である。

【図10】本発明装置の第7の実施の形態の平面図である。

【図11】本発明の第7の実施の形態の等価回路図である。

【図12】本発明装置の第8の実施の形態の平面図である。

【図13】本発明の第8の実施の形態の等価回路図である。

【図14】本発明装置の第1、第2の実施例の透過特性図である。

【図15】本発明装置の第3、第4の実施例の透過特性図である。

【図16】本発明装置の第5、第6の実施例の透過特性図である。

【図17】本発明装置の第7の実施例の透過特性図である。

【図18】本発明装置の第8の実施例の透過特性図である。

【図19】従来の直列構成スイッチの回路図である。

【図20】従来の直列構成スイッチの透過特性図である。

【図21】従来の並列構成スイッチの回路図である。

【図22】従来の並列構成スイッチの透過特性図である。

【図23】従来の直並列構成スイッチの回路図である。

【図24】従来の直並列構成スイッチの透過特性図である。

【図25】従来の直列FETと並列接続コイルからなる

スイッチの回路図である。

【図26】図25の構成のスイッチの透過特性図であ

る。

【図27】従来の並列FETと直列λ/4線路によるス

イッチの回路図である。

る。

【図28】図27の構成のスイッチの透過特性図である。

【図29】従来の直並列構成スイッチの透過特性図である。

【図30】従来の直並列構成スイッチの透過特性図である。

【図31】従来の直並列構成スイッチの透過特性図である。

【符号の説明】

1 第一の入出力端子

10 2 第二の入出力端子

3、18、24、32、40、47、57 活性層

4、12、26、35、41、51 第一の電界効果ト

ランジスタ(FET)の第一のオーミック電極

5、27、37、42、52 共有電極

6、13、28、36、43、53 第二の電界効果ト

ランジスタ(FET)の第二のオーミック電極

7、29、38、45、55 第一のFETのゲート電極

極

8、30、39、46、56 第二のFETのゲート電極

20 極

10k、10k+1、11k、11k+1、19₁~19_n、33

1~33_n、34₁~34_n、48₁~48_m、49₁~4

9_n、58₁~58_n、59₁~59_n 伝送線路

14、20 ゲート電極

15、21 第一のオーミック電極

16、22 第二のオーミック電極

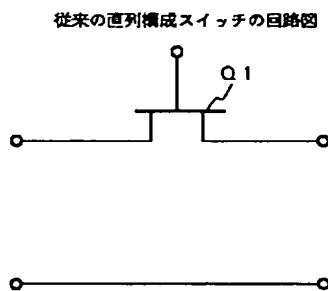
17、23、25、31、44、54 バイアホール

Q_k、Q_{k+1}、Q₁~Q_n、Q₁₁~Q_{1n}、Q₂₁~Q_{2n}、Q₁₁

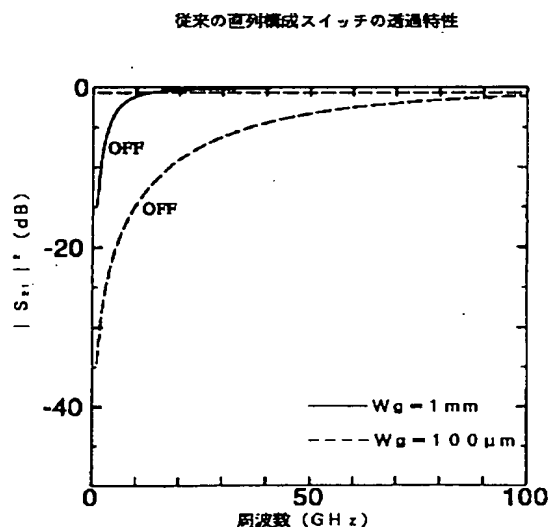
~Q_{1m} 電界効果トランジスタ(FET)

30

【図19】

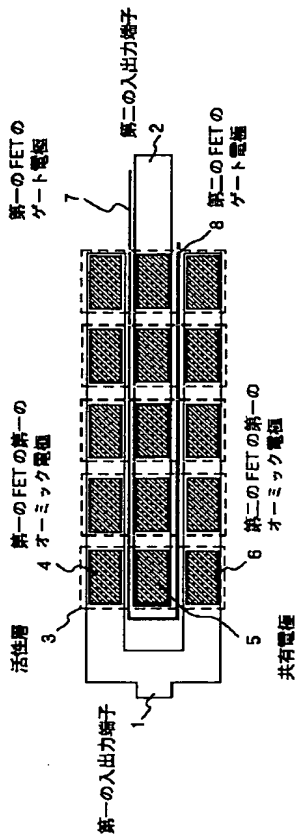


【図20】



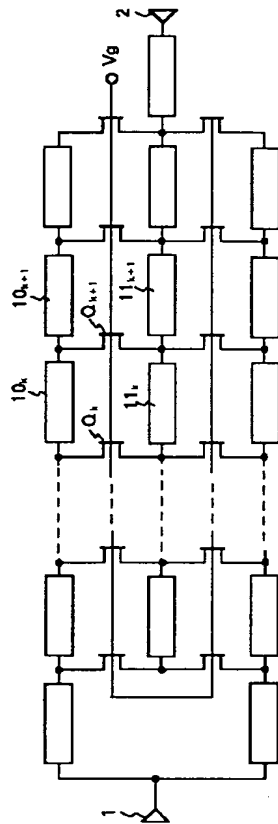
【図1】

本発明の第1の実施の形態の平面図



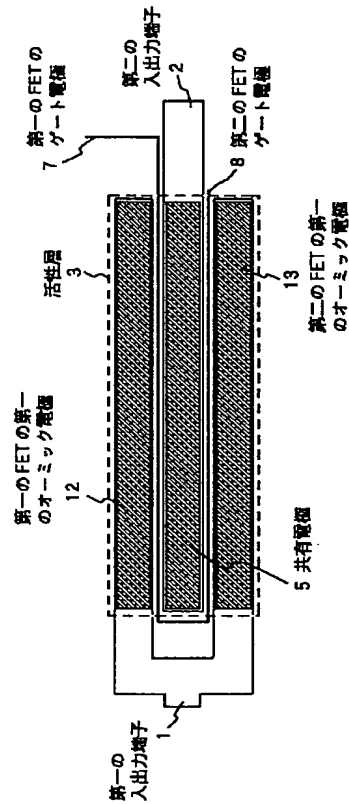
【図2】

本発明の第1、第2の実施の形態の等価回路図



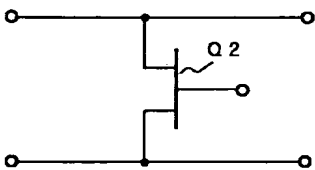
【図3】

本発明の第2の実施の形態の平面図



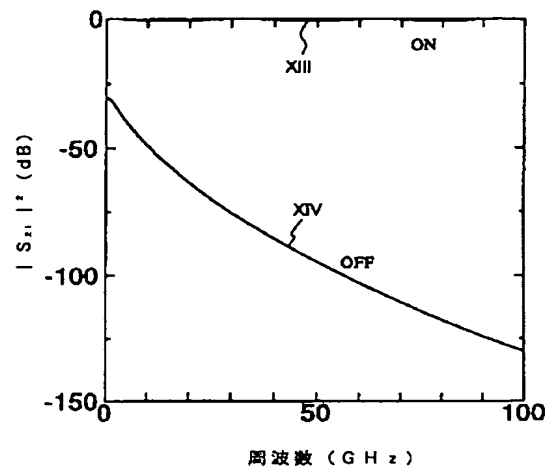
【図21】

従来の並列構成スイッチの回路図



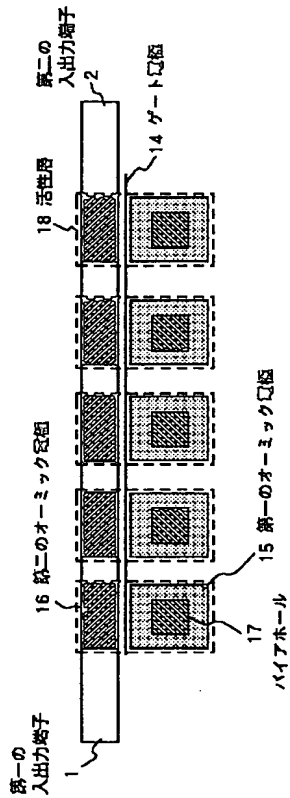
【図15】

第3、第4の実施例の透過特性



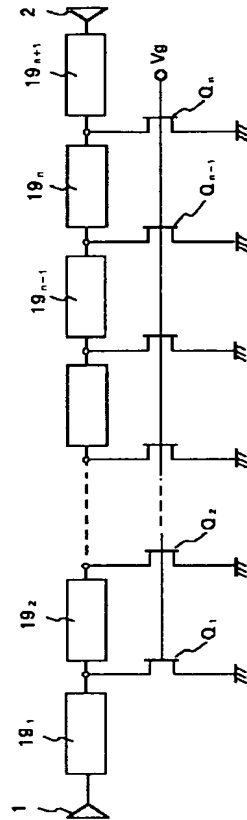
【図4】

本発明の第3の実施の形態の平面図



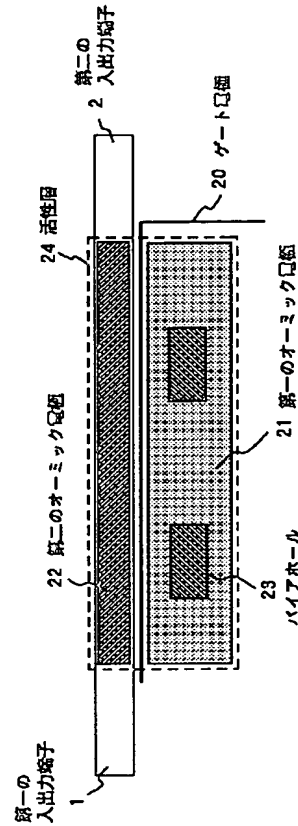
【図5】

本発明の第3、第4の実施の形態の等価回路図



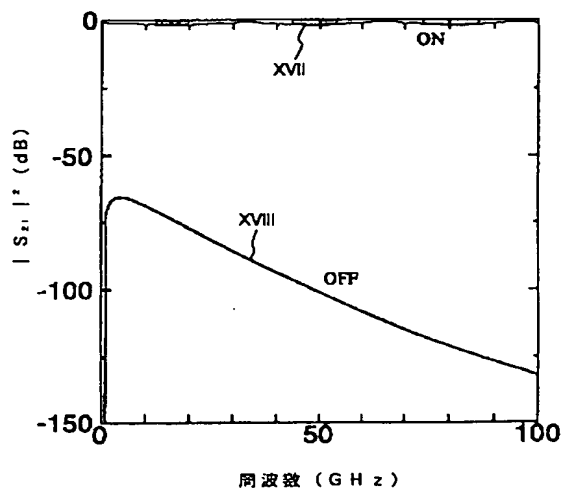
【図6】

本発明の第4の実施の形態の平面図



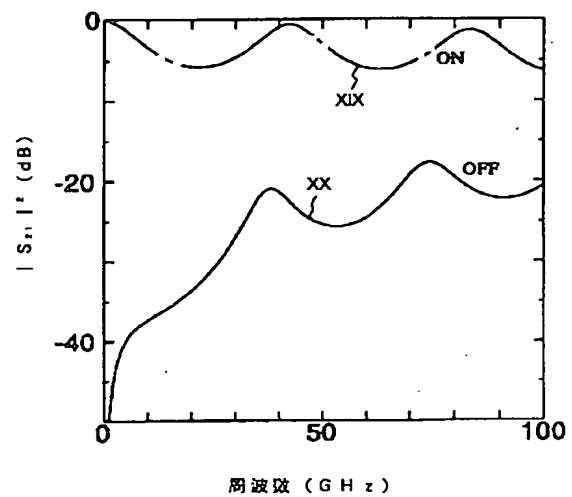
【図17】

第7の実施例の透過特性



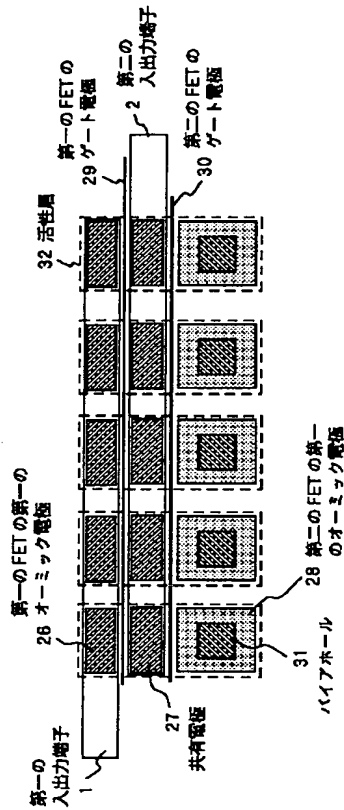
【図18】

第8の実施例の透過特性



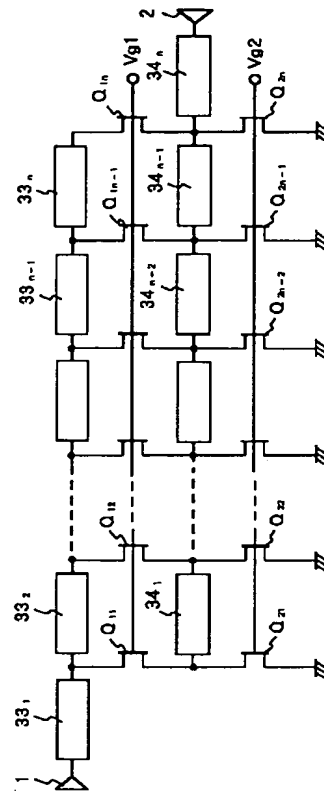
【図7】

本発明の第5の実施の形態の平面図



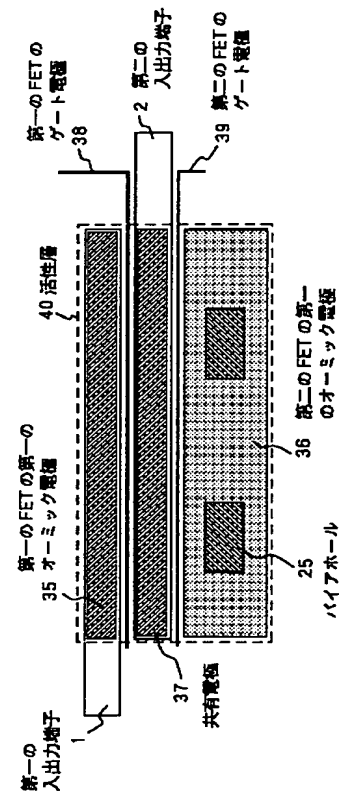
【図8】

本発明の第5、第6の実施の形態の等価回路図



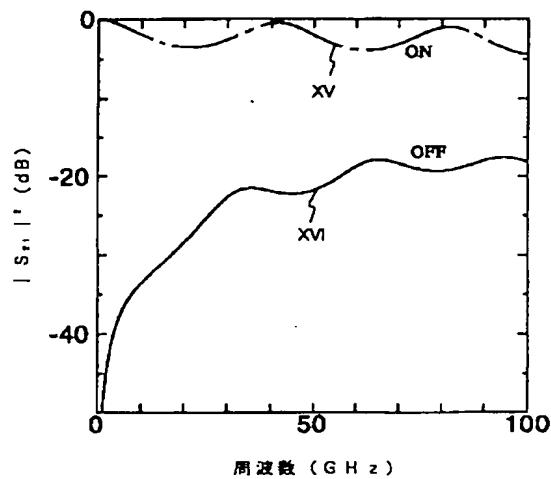
【図9】

本発明の第5の実施の形態の平面図



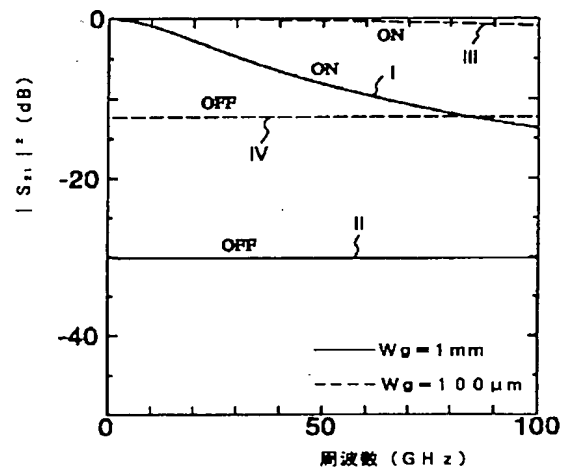
【図16】

第5、第6の実施例の透過特性



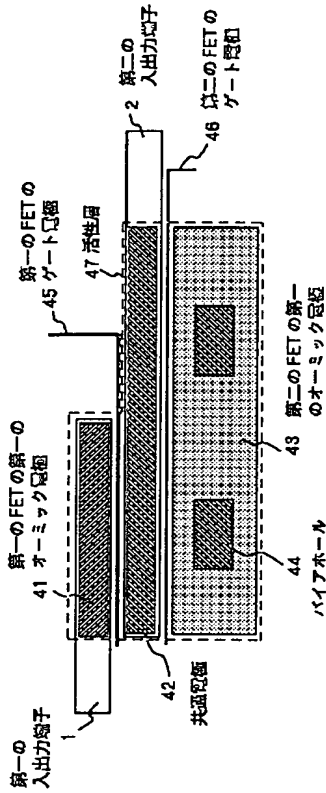
【図22】

従来の並列構成スイッチの透過特性



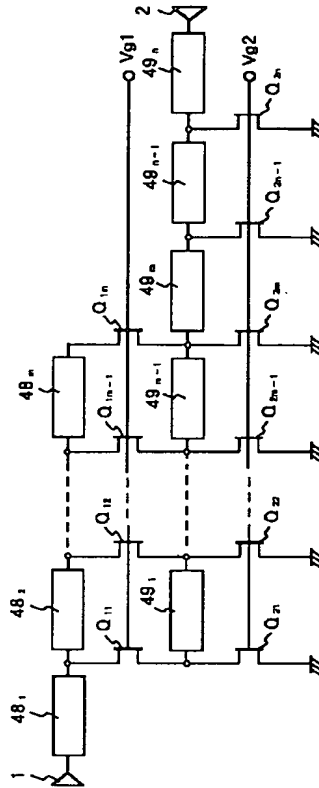
【図10】

本発明の第7の実施の形態の平面図



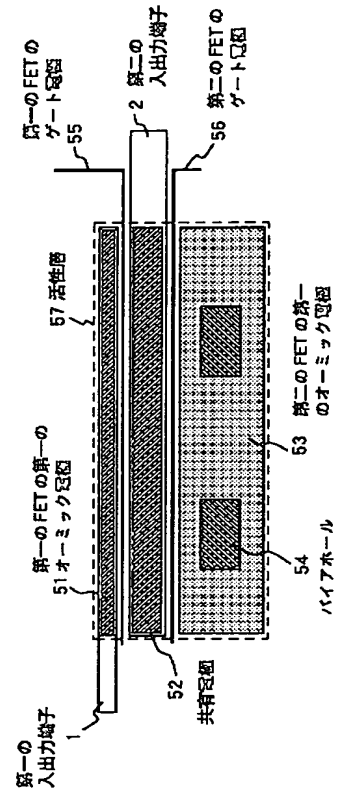
【図11】

本発明の第7の実施の形態の等価回路図



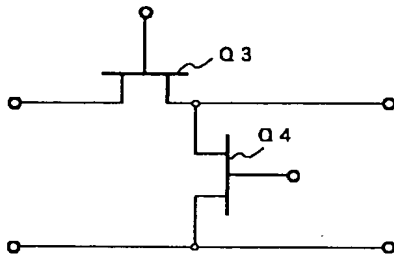
【図12】

本発明の第8の実施の形態の平面図



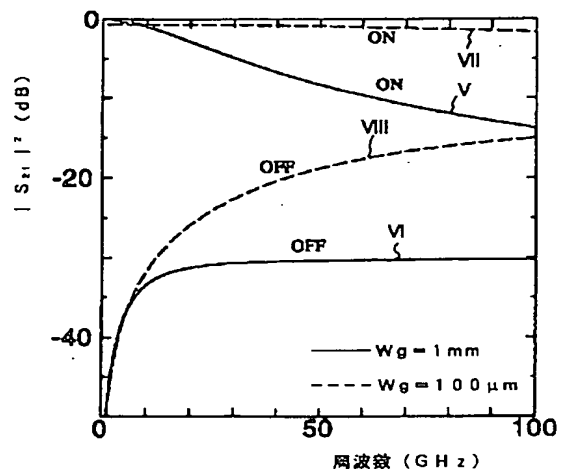
【図23】

従来の直並列構成スイッチの回路図



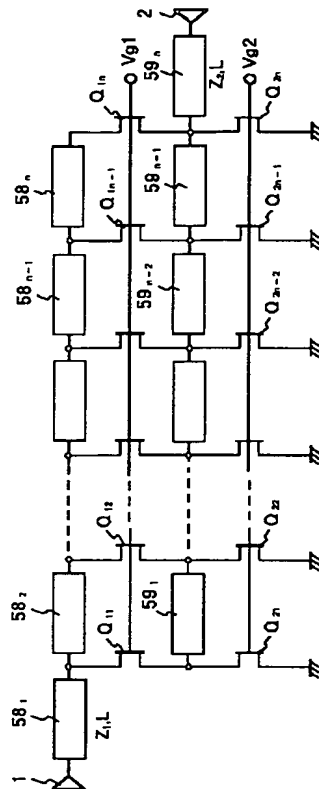
【図24】

従来の直並列構成スイッチの特性特性



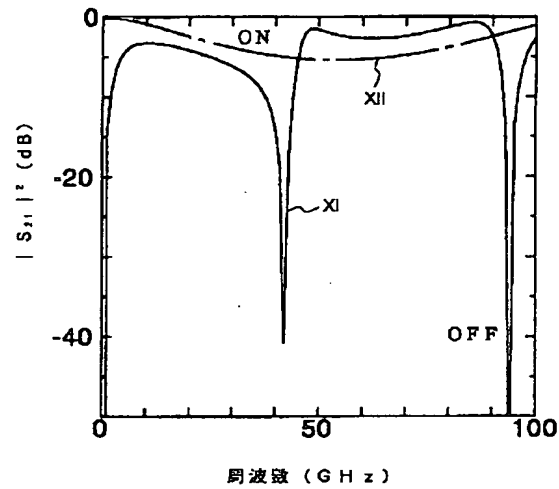
【図13】

本発明の第8の実施形態の等価回路図



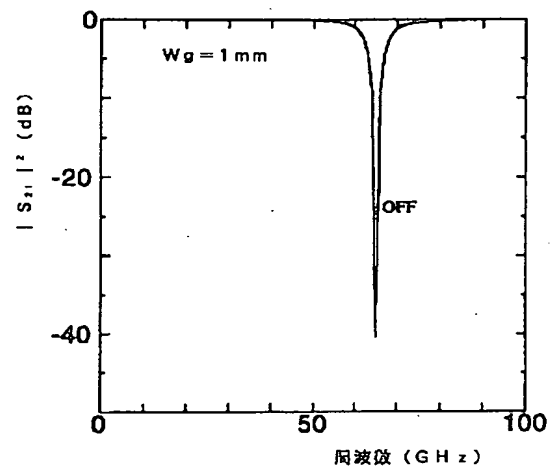
【図14】

第1、第2の実施例の透過特性



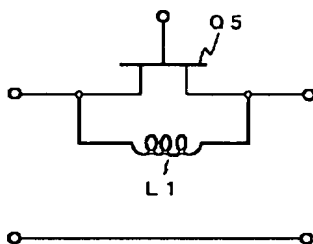
【図26】

図25の切込のスイッチの透過特性



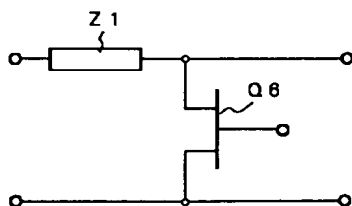
【図25】

従来の直列FETとそれに並列接続したコイルからなるスイッチの回路図



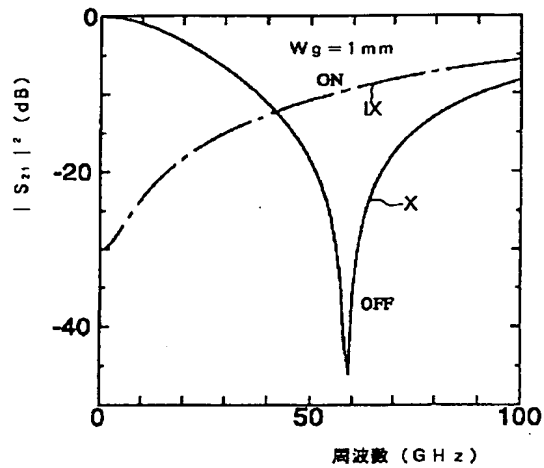
【図27】

従来の並列FETと直列入/4線路によるスイッチの回路図



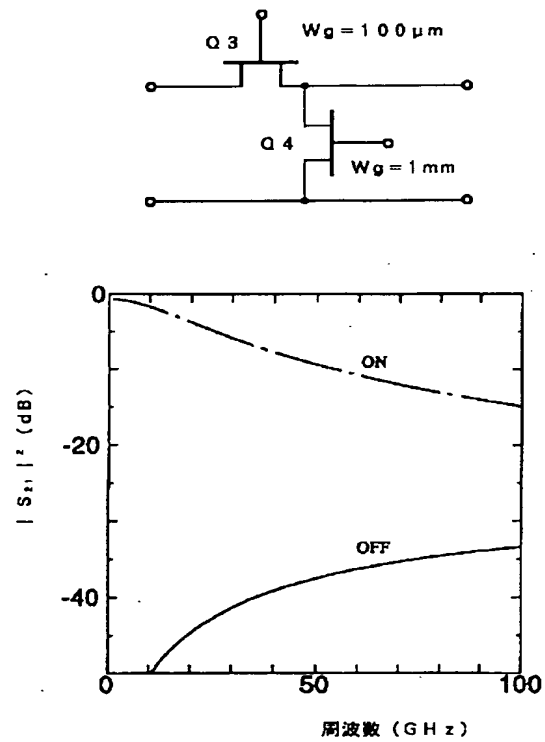
【図28】

図27の構成のスイッチの透過特性



【図29】

従来の透過特性例



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/78

21/338

29/812

H 0 1 P 1/15

識別記号

庁内整理番号

9447-4M

F I

H 0 1 L 29/80

技術表示箇所

L